

## 小寸法カメラの高解像度化と電力効率向上の基礎的研究

著者	山下 雄一郎
雑誌名	東北大学電通談話会記録
巻	88
号	1
ページ	30-33
発行年	2019-07
URL	<a href="http://hdl.handle.net/10097/00126522">http://hdl.handle.net/10097/00126522</a>

博士学位論文要約（平成31年3月）

# 小寸法カメラの高解像度化と電力効率向上の基礎的研究

山下 雄一郎

指導教員: 須川 成利

## A Fundamental Study on Image Resolution Enhancement and Power Efficiency Improvement for Small Camera Module

Yuichiro YAMASHITA

Supervisor: Shigetoshi Sugawa

Foundations for the small camera module with enhanced image resolution has been studied. A metrics to evaluate the resolution limit of optoelectronic system is developed, and the resolution limit with different pixel sizes, including “sub-half-micron-pixel generation (the pixel size and pitch of comparable to or less than  $0.5\mu\text{m}$ )” are evaluated with image simulation. The result shows that the complication of color cross-talk between pixels and the lateral chromatic aberration (LCA) of the taking lens is the major obstacle impeding the resolution improvement in the sub-half-micron pixel generation. The study further develops a color filter arrangement called “preserved color pixel (PCP)” and corresponding image processing algorithms to gain the resolution improvement under the influence of the cross-talk and LCA, whose effectiveness is confirmed with image simulation. Also, the image sensor with sub-half-micron-pixel requires power efficiency improvement because of the increasing data-rate. A figure-of-merit (FoM) which depicts the power efficiency is developed and tested with applying it to previously reported CISs. The study identifies that the increase of parallelism of the read-out circuit, i.e., parallelism factor, is one of the key knobs for efficiency improvement. An image sensor employing 3D-stacked image sensor process is developed, which demonstrates the comparable power-efficiency FOM to the record high, with the data-rate of 8 billion pixels per second.

### 1. はじめに

小寸法カメラは携帯電子機器に標準的搭載されて大いに普及し人々の生活の基盤として深く根付いてきている。小寸法カメラのさらなる高画質化には、サイズが制限されるなかで、画素微細化による解像度の向上とその際に必須となる電力効率の向上が信号対雑音比の向上と併せて必要であるが、小寸法カメラの総合解像度の決定因子が明らかにされていない、画素微細化により色クロストークの問題が顕在化する、電力効率の決定因子が体系的にまとめられていない、などの課題が残存しており、画素微細化技術の進展は画素ピッチ  $1\mu\text{m}$  程度に到達して以来停滞していた。

本研究はこうした背景に鑑み、小寸法カメラの解像度の定量化手法の提案と決定因子の解明を行って色クロストークを改善する微細画素向けの色フィルタ配列および信号処理方法を提案するとともに、CMOS イメージセンサ(CIS)の電力効率性能指数を導出してその決定因子を特定し、CIS の電力効率を向上するアーキテクチャを提案してそれらの有用性を実証した成果を体系的にまとめたものである。

### 2. 画像解像度の向上のための基礎理論

まずは小寸法カメラの解像度の定量化手法と解像度の決定因子を考察する。解像度の定量化に広く用いられている Slanted Edge をもちいた Modulation

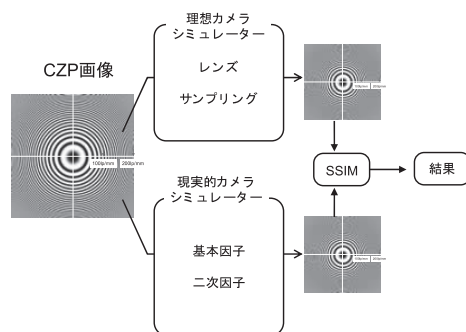


図1 Structural Resolution Analysis の基本フロー

Transfer Function (MTF)法は、その周波数応答と人間の視覚の関係が不明確であり、かつ折り返し雑音を考慮していないという課題があった。改善案として、実空間での画像解析で見え方の優劣を定量化する Structural Resolution Analysis (SRA)法を提案する。図1に SRA 法の基本フローを示す。理想的環境下と、前述の色クロストークや光学系の収差などを考慮した現実的環境下で撮影、もしくはシミュレートされた参照画像と、比較対象画像の両者を、人間の視

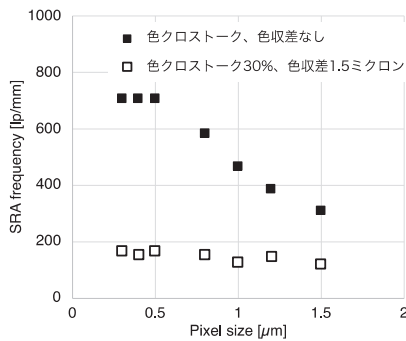


図 2 画素サイズと解像限界の関係

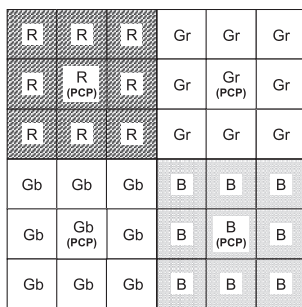


図 3 Preserved Color Pixel (PCP)配列

覚に類似する判断基準で画像の一致度合いを判定する Structural Similarity<sup>1)</sup> (SSIM)アルゴリズムを用いて比較する。解析に用いる画像には低周波成分から高周波成分までを一樣に含む Circular Zone Plate(CZP)パターンを用いることで、比較後の最終出力は現実的環境下の撮影により解像可能な限界の周波数:解像限界( $f_{SRA}$ )を明らかにする。本手法により、考察対象のカメラ、もしくはそのシミュレーターで生成された画像の解像限界が、人間の視覚に沿った値として算出できるようになった。また、CZP パターンを用いることで折返しによる画像劣化を考慮した画像解像度の確認が可能となった。

次に、F 値 1.5 のレンズを用いた前提で、画素の微細化がもたらす画像解像度向上の効果をシミュレーションで確認した。解像限界の判定には SRA 法による  $f_{SRA}$  を用いた。図 2 に、画素間色クロストークや色収差などの外乱が存在しない場合と、30%のクロストークと 1.5 ミクロンの色収差の外乱が存在する場合のシミュレーション画像の  $f_{SRA}$  と画素サイズの関係を示す。外乱が存在しない条件では 0.5 $\mu\text{m}$  程度の画素ピッチを有する小寸法カメラは 700 ラインペア (lp)/mm の解像度を得られるが、外乱の影響下では同程度の画素ピッチにおいても 200lp/mm 程度でほぼ横ばいになった。この結果をもとに、画素間色クロ

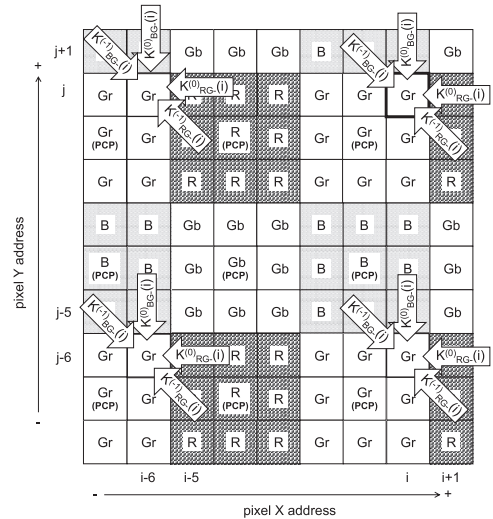


図 4 Similarity based blind cross-talk correction の説明図

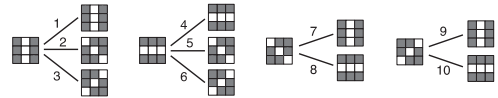


図 5 2次元 Normalized convolution に用いたカーネル(全 10 種)

ストークと倍率色収差の相互作用が少寸法カメラにおける解像度の決定因子であることを明らかにした。

### 3. Preserved Color Pixel とその画像処理

解像度向上を阻む画素間色クロストークと倍率色収差の課題を解決する色フィルタ配列および信号処理技術群について以降順次説明する。図 3 に、第一の提案として、色フィルタ配列, Preserved Color Pixel (PCP)を示す。同色の 3x3 画素で 1 ユニットの構成され、中心に位置する PCP 画素と、それらを取り囲む 8 つのバッファ画素とを定義して、隣接画素間の色クロストークをバッファ画素で吸収する。

画像処理の際に他色の画素からのクロストークの影響を受けない PCP 画素の色情報を用いてバッファ画素の色を復元するための第二の提案として Similarity based blind cross-talk correction を次に説明する。図 4 に示されるように、Gr とよばれる緑画素の 3x3 のグループの中で、たとえば左上に位置する画素は、その周辺の赤(R)や青(B)画素からの色クロストークの影響を受ける。ある画素に影響するクロストークは、その周辺に存在する相似の位置関係にある画素を含めた連立方程式を解くことで求められる。データはノイズを含むため、本例では Tikhonov の正則化を用いてクロストークを算出し、補正に用いた。

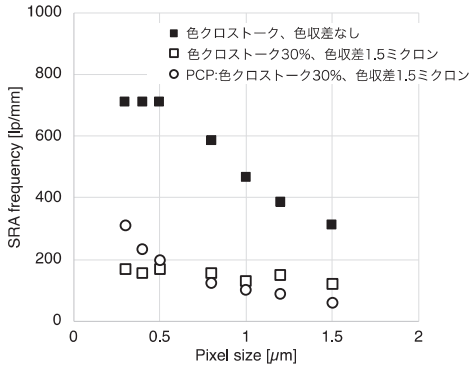


図6 PCP コンセプトとそれに伴う画像処理を用いた際の画素サイズと解像限界の関係

本手法はクロストークを既知として知る必要がなく、純粋に撮影画像のみから補正が可能となるため、撮影装置の製造ばらつきの影響を受けず、工場での調整も不要であり、実用化の際にはそれらが利点となる。

色フィルタ配列を用いた際には、各画素は一色の情報しか持たない。たとえば緑色に着目した場合、Preserved Color Pixel 配列を用いた場合には、3x3 画素の単位で大きな画素情報の欠落が生じ、従来の補間、たとえば Bilinear 法などでは高画質な補間ができない。その対策として、2次元適応化 Normalized Convolution<sup>2)</sup>を導入した。カーネルとしては図5に示される合計 10 種の対を用意し、最適な補間カーネルの選択アルゴリズムとして、Post-convolutional variation minimization (PCVM)法を考案した。以下がその評価関数である。

$$i = \arg \min_{i \in \text{all}} \sum_{y=m_y-\frac{r_y}{2}}^{m_y+\frac{r_y}{2}} \sum_{x=m_x-\frac{r_x}{2}}^{m_x+\frac{r_x}{2}} \left\| \frac{(f(x,y) \cdot c(x,y)) * g_i(x,y)}{c(x,y) * g_i(x,y)} - f(x,y) \right\| \cdot c(x,y)$$

ここで、 $m_x, m_y$  は欠落した 3x3 画素ブロックの中心座標、 $r_x, r_y$  は評価関数の適用範囲、 $f, c, g$  の関数はそれぞれ補間前の元画像、certainty map、applicability function(カーネルと同義)である。

図6は、画像シミュレーション結果を用いて算出した、提案した PCP 色フィルタ配列および信号処理方法を用いた際の画素サイズと解像限界の関係である。30%の画素間色クロストークと 1.5 ミクロンの倍率色収差が存在する条件下で、画素ピッチ 0.5μm 以下の微細画素において従来の色フィルタ配列を上回る解像度が得られることを明らかにした。

#### 4. イメージセンサの電力効率性能指標

PCP コンセプトで、レンズの光学フォーマットとイメージセンサの受光面積を一定の前提で、既存の例えば 1.2μm 画素ピッチを 0.4μm 画素ピッチに発展させ

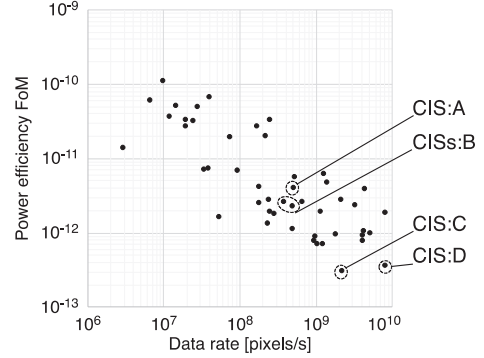


図7 データレートと電力効率 FoM の関係

たとすると、画素数は 9 倍になり、消費電力が目立った増加が容易に予想される。PCP コンセプトの実現には電力効率の改善が必須となるが、イメージセンサにおいてはその体型立てた議論がなされていなかった。本章では、ボトムアップ法でイメージセンサの電力をモデリングし、電力効率を論ずることが可能な性能指標(Figure of Merit: FoM)を導出する。またその導出の仮定で電力効率を決定する要因を明確にする。

まず、既報告の CIS の種々の読み出しアーキテクチャを一義的に表すことのできる一般化 CIS モデルを導出したうえで、回路ブロックの電力と動作周波数との関係をべき乗則モデルで近似して表した。それらに基づき、CIS の電力を画素アレイの行数、列数と撮像速度の 3 つのパラメータで正規化した電力効率性能指数を以下のように導き出した。

$$FoM_{CIS} = \frac{P_{CIS}}{(N_{ROW} f_{FR})^n N_{COL}}$$

ここで  $P_{CIS}$ ,  $N_{ROW}$ ,  $N_{COL}$ ,  $f_{FR}$  はそれぞれ CIS 全体の消費電力、画素アレイの行数、列数、そしてフレームレートである。非線形係数  $n$  は回路ブロックの電力に占めるスルーイング動作とセトリング動作の割合で決定される経験的な値である。イメージセンサの回路ブロックの消費電力をモデル式で示し、現在主に用いられる画素アレイサイズ、およびフレームレートに対して数値解析に基づき検討した結果、 $n=1.5$  が妥当であることがわかった。また、導出を通じて、電力効率の向上のためには先端プロセスの利用、動作周波数の低減、および、 $N_{COL}$  に対する後段回路の回路数の比:「並列度」の増加の三種の方策が効果的であることが判明した。

図7は、1999 年から 2018 年の間に発表された主なイメージセンサについて、データレートと電力効率 FoM の関係をプロットしたものである。データレートを



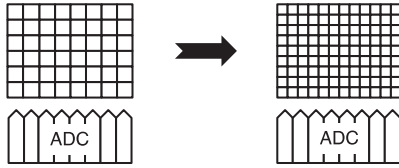


図 8 PCP コンセプトを用いた際の並列度低下の課題説明

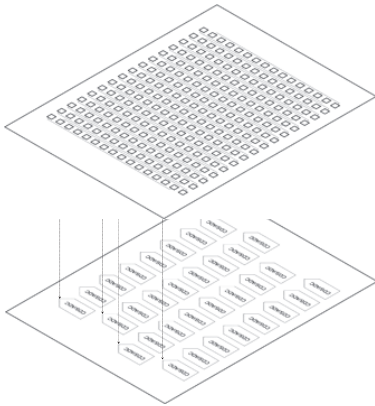


図 9 サブ画素アレイ並列 analog-to-digital 変換器(ADC)を設けた高並列度アーキテクチャ

増加させるというニーズにそって電力効率の改善が試みられてきたことが見て取れる。特徴的な CIS を A,B,C,D として抜き出した。A は逐次比較型 AD 変換器をイメージセンサの AD 変換回路に用い、回路の動作周波数を低速にすることでデータレートを上げながら電力効率を改善した例、B はシングルスロープ型 ADC というイメージセンサの回路に従来の  $0.6\mu\text{m}$  世代に変わり  $0.18\mu\text{m}$  世代のトランジスタを用いた例、C は 2 段パイプライン型巡回型 AD 変換器という、さらに回路の動作周波数を低速にできるアーキテクチャを導入した例、D は 3 次元積層技術を用いて回路を並列化することで回路あたりの動作周波数を低速にし、電力効率を改善した例である。導出を通じて見出された 3 つの有用な方策が、実際に過去に試作された様々なイメージセンサの電力効率 FoM の上でも改善効果として現れていることが、本 FoM の妥当性を示している。

##### 5. 電力効率に優れるイメージセンサのための 3 次元積層技術

本章では、PCP コンセプトを用いた CIS において、電力効率向上の方策を具現化する 3 次元積層技術を用いた高並列度 CIS アーキテクチャとその試作結果について論じる。

図 8 は課題である。AD 変換器はアナログ回路であり、その横幅縮小の制限から、後段の読み出し回路の総数を容易には増加できない。その条件下に

	Spec
Process	45nm 1P4M pixel / 65nm 1P5M logic
Pixel pitch	$1.1\mu\text{m}$
Chip size	$14.0\text{ mm (H)} \times 10.0\text{ mm (V)}$
Number of pixels	$7728\text{ (H)} \times 4368\text{ (V)}$
Number of CDS/ADCs	7728
Array area	$8.5\text{ mm (H)} \times 4.8\text{ mm (V)}$
Non-pixel area	$99\text{ mm}^2$
Pixel type	2-by-2, four-shared pixel, 1.75-Tr/pixel
Power supply	1.2/2.5V (Digital core & I/O), 2.5V (Analog), 2.8V (Pixel)
Frame rate	240fps
ADC resolution	12
ADC DNL	$+0.8/-0.9\text{ LSB}$
Conversion gain	$92\text{ }\mu\text{V/e-}$
Sensitivity	$0.55\text{V/}\lambda_{\text{s}}$ (without micro-lens)
Random noise	$4.5\text{e-rms}$ (Gain = 1) at 240fps ( $414\mu\text{Vrms}$ )
	$3.6\text{e-rms}$ (Gain = 4) at 240fps ( $331\mu\text{Vrms}$ )
Power consumption	3.0 W at 240fps

表 1 試作した三次元積層型 CIS の諸元

において PCP コンセプトを導入し画素サイズが小さくなると、それに伴い NCOL が増大し、並列度は結果として小さくなる。これは電力効率の悪化に結びつく。

図 9 は、今回提案するサブ画素アレイ並列 analog-to-digital 変換器(ADC)を設けた高並列度アーキテクチャの概念図である。従来は画素アレイの上下に、最大でも二列しか並べることのできなかった AD 変換器のレイアウトの制約を、3 次元積層技術を用いて画素アレイの下に並べることによって解消し、AD 変換器の総数を増加させ、並列度を回復、増加させることを目的としている。

表 1 は、今回試作した、3 次元積層技術を用いて試作した、画素数 3300 万個、画素ピッチ  $1.1\mu\text{m}$ 、撮像速度 240 コマ/秒の三次元積層型 CIS の諸元である。80 億画素/秒という高速画素読み出しレートと過去最高に並ぶ  $3.62 \times 10^{-13}$  という電力効率とを両立した結果を実証した。

##### 6. まとめ

小寸法カメラの解像度の決定因子を明らかにしてその課題を解決する色フィルタ配列および信号処理方法を提案するとともに、CIS の電力効率性能指数を導出してその決定因子と改善方策を示し、電力効率を向上させる三次元積層技術を用いた高並列度アーキテクチャを提案し、それらの有用性を実証した。

##### 文献

- 1) Z. Wang, A. C. Bovik, and H. R. Sheikh, "Image quality assessment: from error visibility to structural similarity," *IEEE Transaction on Image Processing*, vol. 13, no. 4, pp. 600–612, 2004.
- 2) H. Knutsson and C. Westin, "Normalized and Differential Convolution: Methods for Interpolation and Filtering of Incomplete and Uncertain data," in *Proceedings of IEEE Computer Society Conference on Computer Vision and Pattern Recognition*, vol. June, no. 16–19, pp. 515–523, 1993.